



Home



Search



List

☐ Include

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US Granted US Applications EP-A EP-B WO JP ; Full patent spec.

Years: 1990-2002

Text: Patent/Publication No.: JP04048770

[no drawing available]

[Order This Patent](#)[Family Lookup](#)[Citation Indicators](#)[Go to first matching text](#)

JP04048770 A

MANUFACTURE OF SEMICONDUCTOR DEVICE

FUJI ELECTRIC CO LTD

Inventor(s): MAKITA KAZUYUKI

Application No. 02157137 JP02157137 JP, Filed 19900615, A1 Published 19920218

Abstract: PURPOSE: To improve brazing properties and to enhance reliability since a brazing layer becomes a predetermined thickness by brazing by using a soft brazing material containing filler formed by rolling a laminate in which a surface layer is made only of soft brazing material and which has a layer containing many fillers in a layer state therein.

CONSTITUTION: Fillers 3 are scattered on a band solder having 50 μ m of thickness. The three solders are superposed, a band solder on which no filler is scattered is further superposed thereon, and a laminate is rolled to 80 μ m thick by means of a pressure roll. Thus, a solder plate in which fillers 3 are contained and not exposed on the surface is obtained. A high voltage rectifying device is manufactured by using this solder plate 1. A semiconductor piece 4 is formed by diffusing doner and acceptor from both side surfaces of an Si substrate, providing an Ni electrode 5, and cutting it in a square shape. The pieces 4 are superposed on the plate 1, electrodes 6 of heads of a conductor terminal 7 are brought into contact with both ends, heated, and soldered. Then, both sides are covered with JCR 8, and sealed with resin 9.

COPYRIGHT: (C)1992,JPO&Japio

Int'l Class: H01L02507; B23K03514 B23K03526 B23K03540



Home



Search



List

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平4-48770

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月18日

H 01 L 25/07
B 23 K 35/14
35/26
35/40

A 8719-4E
B 7217-4E
D 8719-4E
7638-4M

H 01 L 25/08

A

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-157137

⑯ 出 願 平2(1990)6月15日

⑰ 発 明 者 蒔 田 一 之 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑱ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑲ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1) 半導体片と導体端子との間あるいは半導体片相互間を軟ろうを用いてのろう付けにより結合する半導体装置の製造方法において、表面層が軟ろうのみよりなり、内部に層状にフィラーを多く含む層を有する積層体を圧延してなるフィラー入り軟ろう材を用いてのろう付けすることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体片とそれに接続される導体端子の間あるいは高圧整流素子におけるように積層される半導体片相互間を軟ろうを用いて結合する半導体装置の製造方法に関する。

(従来の技術)

半導体装置の製造の際に、半導体片と導体端子とを結合するためあるいは高圧整流素子の場合のように複数の半導体片を積層するために軟ろうを

用いることが多い。これは、作業が容易なことおよび接合を有する半導体片を高温に加熱する必要がないため特性への影響がないことによる。従来、半導体装置に使用される軟ろうは、その組成により溶融温度、熱膨張率などの各種特性を制御していた。また、のろう付け後のろう層の厚さを所定の厚さにして結合の信頼性を高めるため、のろう材の中にのろう付温度で溶融しないフィラーを加えたものが考案された。このフィラー入り軟ろうは、のろう付けに用いられる際の板状のろう材の厚さ、あるいはのろう付け後の所期のろう層厚さとほぼ同じ寸法の粒徑をもつフィラーがろう材内に分布している構造をもつ。このようなフィラー入り軟ろうは、はんだのような軟ろう材料を溶融するときフィラーをその中に入れ、それを冷却して得た塊を圧延して製造する。あるいは、膏状ろう材を圧延して製造するとき、ろう材の両面または片面にフィラーを蒔き、そのまま圧延してフィラーをはんだ内に押し込む。

(発明が解決しようとする課題)

従来のフィラー入り軟ろう材には次のような問題があった。

(1) フィラーを熔融ろう材に添加する方法では、フィラーの分布状態を制御しにくい。ろう材中にフィラーの塊が生じやすい。このフィラーの塊がろう材表面に顔を出すと、ろう付されない箇所が生ずる。

(2) フィラーを熔融ろう材に添加する場合、フィラーとろう材の比重が大きく異なると、フィラーは熔融ろう材の上部あるいは下部に集中してしまい、焼成中のフィラーの分布が不均一になるため、圧延後も均一な分布のフィラー入り軟ろう材を得ることができない。

(3) 帯状ろう材の圧延の際に表面にフィラーを露出させて押し込む方法では、フィラーの量が多いと表面部をフィラーが占める割合が多くなり、ろう付性が低下する。

本発明の目的は、上述の問題を解決し、ろう付性が良好なフィラー入り軟ろうを用い、所望の特性を有する均一な結合部を形成することのでき

る半導体装置の製造方法を提供することにある。

(課題を解決するための手段)

上記の目的を達成するために、本発明は、半導体片と導体端子との間あるいは半導体片相互間を軟ろうを用いてのろう付けにより結合する半導体装置の製造方法において、表面層が軟ろうのみよりなり、内部に層状にフィラーを多く含む層を有する積層体を圧延してなるフィラー入り軟ろう材を用いてのろう付けするものとする。

(作用)

表面が軟ろうのみよりなり、内部に層状にフィラーを多く含む層を有する積層体を圧延してなるフィラー入り軟ろう材は、表面にフィラーがほとんど存在しないため、ろう付け時に被結合部材表面に接するフィラーがほとんどなく、部材とろうとの接合を阻害しない。そして、熔融ろう材とフィラーを混合するのではないので比重の問題はなく、ろう材には平面的に均一にフィラーが存在するので均一な結合が生ずる。また、フィラーに富む層が軟ろう層中に層状に存在するので、導体端

子と半導体片との熱膨張係数の差により半導体片に加わる結合面と平行な応力が緩和され、半導体装置の熱疲労に対する耐性、サージ電流に対する限界特性などが向上する。

(実施例)

以下、図を引用して本発明の実施例について述べる。第1図は本発明の一実施例に用いたフィラー入りはんだ板1を示し、 $Pb/Sn=90/10$ のはんだ層2の中に平均粒径 $20\mu m$ のシリコン粒がフィラー3として混在している。はんだ板1の厚さは $80\mu m$ である。このフィラー入りはんだ板1は第3図(a)、(b)に示す方法で製造した。すなわち、同図(a)に示すように厚さ $50\mu m$ の帯はんだ21の上にフィラー3を蒔き、それを3枚重ね、さらにフィラーを蒔かない帯はんだ21を1枚重ねたのち、同図(b)に示すようにこの積層体20を圧延ロール31、32を用いて $80\mu m$ の厚さまで圧延した。これにより表面にフィラー3が露出しないフィラー入りはんだ板が得られた。このはんだ板1を用いて第2図に示すような高圧整流素子を製造した。図において、半

導体片4はSi基板の両面よりドナーおよびアクセプタを拡散し、Ni電極5を設けたのち、方形に切断したものである。この半導体片4をフィラー入りはんだ板1を重ねて積重ね、さらに両端に導体端子7の頭部の電極6を接触させて加熱してはんだ付けを行った。このあと、側面をJCR8で被覆したのち、樹脂9により封止した。この整流素子と同一構造でフィラーを含まない $90/10$ のはんだ板を用いてのろう付けした整流素子とのサージ電流に対する限界特性を測定したところ、第2図の整流素子の方が2倍の耐性があった。これははんだ付け部の特性によるものと考えられる。

第4図は本発明の別の実施例のフィラー入りはんだ板の製造方法を示し、上にフィラー3を蒔いた長い帯はんだ21を巻回し、これを図の上下方向に押しつぶして第3図の積層体20と同様の積層体を得る。これを圧延することにより内部にフィラーの層構造を有するフィラー入りはんだ板1を作製することができる。

第1図に示したフィラー入りはんだ板1は目的

のはんだ厚さの1/4の粒径のフィラー3を含むが、第5図に示したはんだ板11ははんだ層2の中に目的のはんだ厚さの1/10の粒径のフィラー3を含む。

上記の実施例で、フィラー3としてSi粒を用いたのは粒径の揃った粒が得やすいという理由に基づく。しかし、他のはんだより融点の高い材料の粒子、例えばAg、NiあるいはAgを被覆したCuの粒を用いることもできる。溶融はんだに対するフィラーの混合によらないので、フィラーの材料を任意に選ぶことができる。また、Pb/Snはんだの代りに他の軟ろうを用いることができる。

(発明の効果)

本発明によれば、表面層がフィラーを含まない軟ろうよりなり、内部に層状にフィラーを含む層を有する積層体を圧延して作製したフィラー入り軟ろう板を用いて、半導体片相互あるいは半導体片と導体端子との結合を行うことにより、ろう付け性が向上し、ろう層が所定の厚さになるので信頼性の高い半導体装置を得ることができた。また、フィラー層が結合面に平行な層構造となるので、

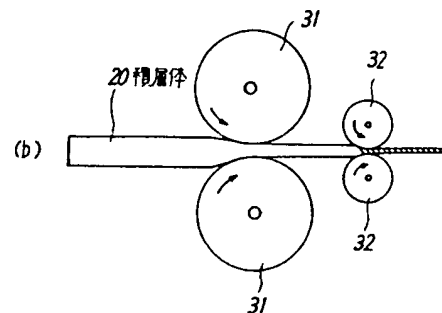
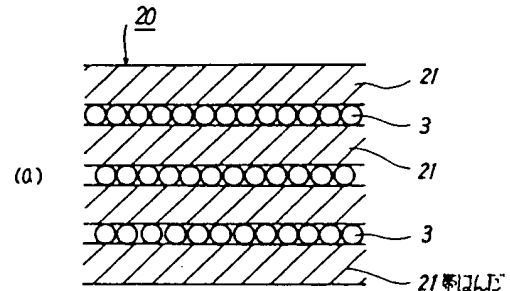
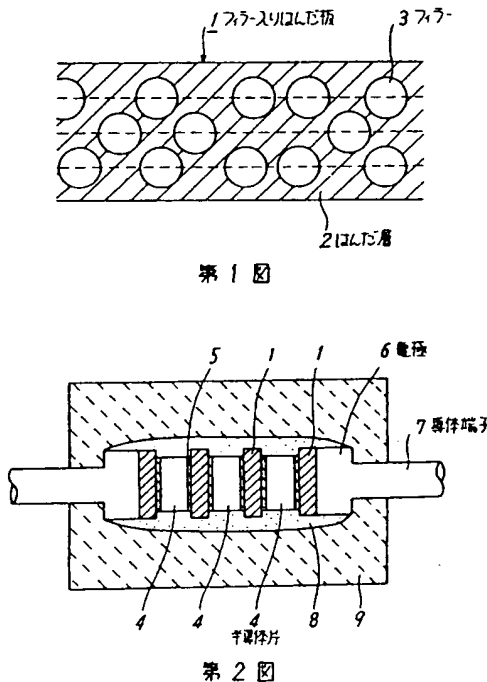
ろう層に生ずる結合面に平行な応力が緩和された。さらに、フィラーの材料も任意に選定できるので、サージ電流に対する耐量をはじめ、ろう材の組成によって制御できない特性の向上も可能になるなど、本発明により得られる効果は極めて大きい。

4. 図面の簡単な説明

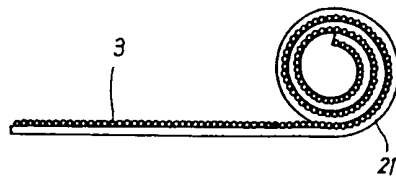
第1図は本発明の一実施例に用いるフィラー入りはんだ板の断面図、第2図は本発明の一実施例によって製造される高圧整流素子の断面図、第3図は第1図のはんだ板の製造工程の一例を示し、(a)は積層体の断面図、(b)はその積層体の圧延工程を示す断面図、第4図はフィラー入りはんだ板製造工程の他の例を説明する断面図、第5図は本発明の実施例に用いる他のフィラー入りはんだ板の断面図である。

1、11：フィラー入りはんだ板、2：はんだ層、3：フィラー、4：半導体片、6：電極、7：導体端子、20：積層体。

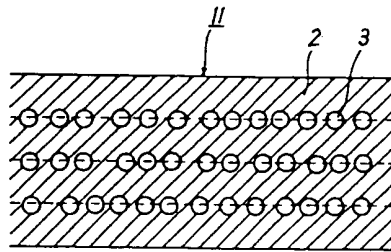
代理人弁護士 山口 豊



第3図



第 4 図



第 5 図